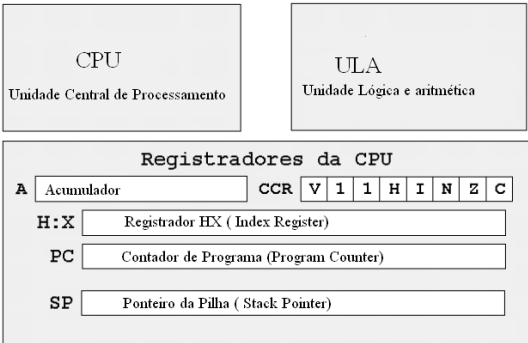




Nome: _____ Curso 3º Ano Eng. Elétrica Nº _____.

1. Baseado no diagrama de blocos da CPU do microcontrolador HC08 a seguir, responda.

<p>Diagrama de blocos da CPU</p> 	<ul style="list-style-type: none">• Explique resumidamente a função de cada bloco da CPU08• Embora seja possível utilizar os registradores da CPU de maneiras diversas, cada registrador foi desenhado para executar uma tarefa específica, explique resumidamente a função de cada um dos registradores.
--	--

2. Quais os modos de endereçamento existentes na CPU da família HC08 da freescale?

3. Explique resumidamente cada um dos modos de endereçamento.

4. Explique o conceito de pagina Zero ou direta, Cite algumas instruções otimizadas para utilizar esta característica.

5. Calcule o tempo de execução da rotina Delay, para os cálculos considere a Frequencia do cristal = 20 MHz.

<pre>Delay: LOOP0: LDA #20 LOOP1: LDHX #31249 AIX #-1 CPHX #0 BNE LOOP1 DECA BNE LOOP0 RTS</pre>	
---	--

6. Explique o funcionamento do programa a seguir, Explique o funcionamento da instrução MOV X+,PTA.

Mensagem: DB " CANAL ANTIGO.:", \$00

TX: LDHX #(Mensagem)

S_MS: MOV X+,PTA
 BEQ F_MES

F_MES: RTS

7. Dado o mapa de memória abaixo responda.

\$0000 ↓ \$003F	I/O REGISTERS 64 BYTES	<ul style="list-style-type: none"> Em que posição de memória estão mapeados os registradores de entrada e saída, estes estão mapeados na pagina zero? Caso afirmativo porque o fabricante os mapeou nesta posição? Qual a função dos últimos 36 bytes da memória? (Rom Vectors). Onde esta situada a pilha neste mapa de memória? Pesquise o que é o monitor Rom.
\$0040 ↓ \$023F	RAM 512 BYTES	
\$0240 ↓ \$7FFF	UNIMPLEMENTED 32,192 BYTES	
\$8000 ↓ \$FDFF	ROM 32,256 BYTES	
\$FE00	SIM BREAK STATUS REGISTER (SBSR)	
\$FE01	SIM RESET STATUS REGISTER (SRSR)	
\$FE02	RESERVED (SUBAR)	
\$FE03	SIM BREAK FLAG CONTROL REGISTER (SBFCR)	
\$FE04	INTERRUPT STATUS REGISTER 1 (INT1)	
\$FE05	INTERRUPT STATUS REGISTER 2 (INT2)	
\$FE06	INTERRUPT STATUS REGISTER 3 (INT3)	
\$FE07	RESERVED	
\$FE08	RESERVED	
\$FE09	BREAK ADDRESS REGISTER HIGH (BRKH)	
\$FE0A	BREAK ADDRESS REGISTER LOW (BRKL)	
\$FE0B	BREAK STATUS AND CONTROL REGISTER (BRKSCR)	
\$FE0C	LVI STATUS REGISTER (LVISR)	
\$FE0D ↓ \$FE0F	UNIMPLEMENTED 3 BYTES	
\$FE10 ↓ \$FE1F	RESERVED FOR COMPATIBILITY WITH MONITOR CODE	
\$FE20 ↓ \$FF52	MONITOR ROM (RESERVED FOR DEVICE TESTING ONLY) 307 BYTES	
\$FF53 ↓ \$FF7D	UNIMPLEMENTED 43 BYTES	
\$FF7E	RESERVED	
\$FF7F ↓ \$FFDB	UNIMPLEMENTED 93 BYTES	
\$FFDC ↓ \$FFFF	ROM VECTORS 36 BYTES	

Note: \$FFF6-\$FFFD reserved for eight security bytes
 MC68HC08GP32A Memory Map